

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054639

(43)Date of publication of application : 26.02.1999

(51)Int.Cl. H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 H01L 27/115

(21)Application number : 09-212124

(71)Applicant : NEC CORP

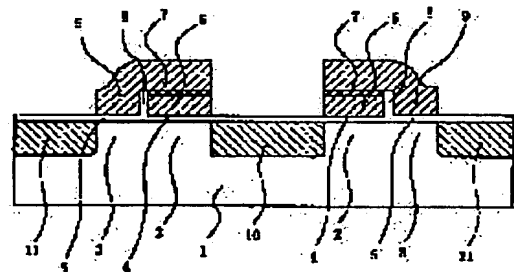
(22)Date of filing : 06.08.1997

(72)Inventor : NAKAGAWA KENICHIRO

**(54) NONVOLATILE SEMICONDUCTOR MEMORY AND FABRICATION THEREOF****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To realize good charge retention characteristics and disturb characteristics by depositing a thick oxide at the upper end corner of a floating gate and making thin the gate insulation film of a select transistor thereby ensuring high rate reading.

**SOLUTION:** After removing a first silicon oxide 4 deposited on a second channel region 3, a gate oxide 5 of a select transistor is deposited not to be excessively thick, e.g. by about 300 Å. On the other hand, a silicon oxide 8 is deposited as thick as about 400 Å at the upper corner on the side face of a floating gate 6. According to the structure, electron leakage from the floating gate 6 can be suppressed while keeping a high ON current and a flash memory having good charge retention characteristics and disturb characteristics can be obtained.

**LEGAL STATUS**

[Date of request for examination] 06.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3298469

[Date of registration] 19.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54639

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/8247  
29/788  
29/792  
27/115

識別記号

F I

H 0 1 L 29/78 3 7 1  
27/10 4 3 4

審査請求 有 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平9-212124

(22) 出願日 平成9年(1997) 8月6日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 中川 健一郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内

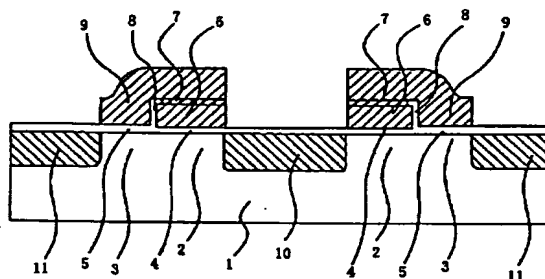
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 高速での読出可能で、良好な電荷保持特性及び良好なディスタープ特性を持つ不揮発性半導体記憶装置を実現する。

【解決手段】 スプリットゲート型フラッシュメモリにおいて、選択トランジスタのゲート絶縁膜5を厚くすることなく、フローティングゲート6の側面上部の角の酸化膜を厚くする。



- |                   |                |
|-------------------|----------------|
| 1 半導体基板           | 7 第1のポリシリコン絶縁膜 |
| 2 フラッシュメモリセル部チャネル | 8 第2のポリシリコン絶縁膜 |
| 3 選択トランジスタ部チャネル   | 9 コントロールゲート    |
| 4 トンネル絶縁膜         | 10 トレイ         |
| 5 選択ゲート絶縁膜        | 11 ソース         |
| 6 フローティングゲート      |                |

## 【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の主表面上に形成された第 2 導電型のソース及びドレインと、前記ソース及び前記ドレインの間に形成された第 1 のチャンネル領域及び第 2 のチャンネル領域と、前記第 1 のチャンネル領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲートと、前記フローティングゲート上に形成された第 1 のポリ間絶縁膜と、前記フローティングゲートの側面の一部に形成された第 2 のポリ間絶縁膜と、前記第 2 のチャンネル領域上に形成された選択ゲート絶縁膜と、前記第 1 のポリ間絶縁膜及び前記第 2 のポリ間絶縁膜及び前記選択ゲート絶縁膜に渡って形成されたコントロールゲートとを有し、前記第 1 のポリ間絶縁膜は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造であり、前記第 2 のポリ間絶縁膜は、前記第 1 のポリ間絶縁膜と前記フローティングゲートの角で接しており、前記角における前記第 2 の絶縁膜の厚さは、前記選択ゲート絶縁膜と同じ、もしくは前記選択ゲート絶縁膜よりも厚いものであることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記フローティングゲートへのリンの注入量は、 $3 \times 10^{15} / \text{cm}^2$  以上であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 第 1 導電型の半導体基板の主表面上に形成された第 2 導電型のソース及びドレインと、前記ソース及び前記ドレインの間に形成された第 1 のチャンネル領域及び第 2 のチャンネル領域と、前記第 1 のチャンネル領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲートと、前記フローティングゲートの上面の一部に形成された第 1 のポリ間絶縁膜と、前記フローティングゲートの上面の一部及び前記フローティングゲートの側面の一部に形成された第 2 のポリ間絶縁膜と、前記第 2 のチャンネル領域上に形成された選択ゲート絶縁膜と、前記第 1 のポリ間絶縁膜及び前記第 2 のポリ間絶縁膜及び前記選択ゲート絶縁膜に渡って形成されたコントロールゲートとを有し、前記第 1 のポリ間絶縁膜は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造であり、前記第 1 のポリ間絶縁膜は、前記第 2 のポリ間絶縁膜と前記フローティングゲートの上面で接したものであるこ

とを特徴とする不揮発性半導体記憶装置。

【請求項 4】 前記フローティングゲートにおける第 1 の側面及び第 2 の側面及び第 3 の側面は、前記第 2 のポリ間絶縁膜を介してコントロールゲートに覆われており、前記フローティングゲートにおける第 4 の側面は、コントロールゲートに覆われておらず、前記フローティングゲートの上面において、前記フローティングゲートの前記第 1 の側面及び前記第 2 の側面及び前記第 3 の側面に接する端部は、前記第 2 のポリ間絶縁膜に覆われており、前記第 1 のポリ間絶縁膜は、前記第 2 のポリ間絶縁膜と前記フローティングゲートの上面で接するものであることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】 第 1 導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第 1 の導電層を形成する工程と、前記第 1 の導電層に  $3 \times 10^{15} / \text{cm}^2$  以上のリンを注入する工程と、前記第 1 の導電層上に第 1 のポリ間絶縁膜を形成する工程と、前記第 1 のポリ間絶縁膜及び前記第 1 の導電層をパターニングする工程と、前記第 1 の導電層の側面に第 2 のポリ間絶縁膜を形成する工程と、第 2 のチャンネル領域上に選択ゲート絶縁膜を形成する工程と、前記選択ゲート絶縁膜及び前記第 1 のポリ間絶縁膜上に、コントロールゲートとなる第 2 の導電層を形成する工程と、前記第 2 の導電層及び前記第 1 のポリ間絶縁膜及び前記第 1 の導電層をパターニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 6】 第 1 導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第 1 の導電層を形成する工程と、前記第 1 の導電層上に、第 3 のシリコン酸化膜及び第 1 のシリコン窒化膜及び第 3 の導電層を順に形成する工程と、前記第 3 のシリコン酸化膜及び、前記第 1 のシリコン窒化膜及び、前記第 3 の導電層をパターニングする工程と、前記第 3 のシリコン酸化膜の側面及び、前記第 1 のシリコン窒化膜の側面及び、前記第 3 の導電層の側面に、第 4 のシリコン酸化膜からなる側壁を形成する工程と、

前記側壁をマスクにして前記第 1 の導電層及び前記第 3 の導電層をエッチングする工程と、  
 前記側壁を除去する工程と、  
 第 2 のチャネル領域上に選択ゲート絶縁膜を形成する工程と、  
 前記第 1 の導電層の側面及び前記第 1 の導電層の上面の一部に第 2 のポリ間絶縁膜を形成する工程と、  
 前記第 1 の導電層上に第 1 のポリ間絶縁膜を形成する工程と、  
 前記第 3 のシリコン酸化膜上にコントロールゲートとなる第 2 の導電層を形成する工程と、  
 前記第 2 の導電層及び前記第 1 のポリ間絶縁膜及び前記第 1 の導電層をバターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 7】 第 1 導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、  
 前記トンネル絶縁膜上にフローティングゲートとなる第 1 の導電層を形成する工程と、  
 前記第 1 の導電層上に第 1 のポリ間絶縁膜を形成する工程と、前記第 1 のポリ間絶縁膜上にレジストを塗布する工程と、  
 前記レジストをバターンニングする工程と、  
 前記レジストをマスクに前記第 1 の導電層及び前記第 1 のポリ間絶縁膜をバターンニングする工程と、  
 前記レジストをアッシングして細らせる工程と、  
 前記レジストをマスクに前記第 1 のポリ間絶縁膜及び前記トンネル絶縁膜をエッチングする工程と、前記レジストを剥離する工程と、  
 第 2 のチャネル上に選択ゲート絶縁膜及び、前記第 1 の導電層の上面の一部及び前記第 1 の導電層の側面に第 2 のポリ間絶縁膜を形成する工程と、  
 前記第 3 のシリコン酸化膜及び前記第 1 のポリ間絶縁膜上に、コントロールゲートとなる第 2 の導電層を形成する工程と、  
 前記第 2 の導電層及び前記第 1 のポリ間絶縁膜及び前記第 1 の導電層をバターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 8】 第 1 導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、  
 前記トンネル絶縁膜上にフローティングゲートとなる第 1 の導電層を形成する工程と、  
 前記第 1 の導電層上に第 3 のシリコン酸化膜及び第 1 のシリコン窒化膜及び第 5 のシリコン酸化膜及び第 3 の導電層を順に形成する工程と、  
 前記第 3 のシリコン酸化膜及び前記第 1 のシリコン窒化膜及び前記第 5 のシリコン酸化膜及び前記第 3 の導電層

をバターンニングする工程と、  
 前記第 3 のシリコン酸化膜の側面及び前記第 1 のシリコン窒化膜の側面及び前記第 5 のシリコン酸化膜の側面及び前記第 3 の導電層の側面に、第 4 のシリコン酸化膜からなる側壁を形成する工程と、  
 前記側壁をマスクにして前記第 1 の導電層及び前記第 3 の導電層をエッチングする工程と、  
 前記側壁及び前記第 5 のシリコン酸化膜を除去する工程と、第 2 のチャネル領域上に選択ゲート絶縁膜を形成する工程と、  
 前記第 1 の導電層の側面及び前記第 1 の導電層の上面の一部に第 2 のポリ間絶縁膜を形成する工程と、  
 前記第 1 の導電層上に第 1 のポリ間絶縁膜を形成する工程と、  
 前記第 3 のシリコン酸化膜上にコントロールゲートとなる第 2 の導電層を形成する工程と、  
 前記第 2 の導電層及び前記第 1 のポリ間絶縁膜及び前記第 1 の導電層をバターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に電氣的書込消去可能な不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】従来のフラッシュメモリを図 18 と図 19 を用いて説明する。図 18 は、従来のスプリットゲート型フラッシュメモリの例を説明する断面図である（特開平 8-97304 号）。また、図 19 は、従来のスタック型フラッシュメモリの例を説明する図である（特開平 6-283721 号）。スタック型フラッシュメモリが、もともと 1 個のトランジスタで 1 個のメモリセルを構成しているのに対し、スプリットゲート型フラッシュメモリは、選択トランジスタ部とメモリセルトランジスタ部との 2 個のトランジスタで構成されている。1 は半導体基板、2 はフラッシュメモリセル部チャネル、4 はトンネル絶縁膜、5 は選択ゲート絶縁膜、6 はフローティングゲート、7 は第 1 のポリ間絶縁膜、8 は第 2 のポリ間絶縁膜、9 はコントロールゲート、10 はドレイン、12 は第 3 のシリコン酸化膜、13 は第 1 のシリコン酸化膜、17 は第 2 のシリコン酸化膜、20 は第 7 のシリコン酸化膜である。

【0003】スプリットゲート型フラッシュメモリの利点は、低レベル側のしきい値が選択トランジスタによって決まっているという点にある。これにより、スプリットゲート型フラッシュメモリは、スタック型フラッシュメモリのしきい値ばらつきに比べ、低レベル側のしきい値ばらつきをかなり小さく抑えることができ、読み出し

電圧を容易に下げることができる。また、スプリットゲート型フラッシュメモリでは、メモリセル部のしきい値を十分ディプレッションになるように下げられるので、セルサイズに対してオン電流を稼ぐことができ、高速での読出しを実現できる。

【0004】スプリットゲート型フラッシュメモリは、スタック型フラッシュメモリと異なり、フローティングゲート6とコントロールゲート9間の絶縁膜が2種類使用される。スプリットゲート型フラッシュメモリは図18に示すように、フローティングゲート6の上にはONO膜（シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の3層構造）、フローティングゲート6の側面にはシリコン酸化膜が形成される。これは、フローティングゲート6の側面をONO膜にすると、選択トランジスタのゲート絶縁膜5も同時にONO膜となってしまう、書込消去を繰り返すうちに、選択トランジスタのゲート絶縁膜5に電子がトラップされ、特性変動を起こすのを防止するためである。

【0005】次に、従来のスプリットゲート型フラッシュメモリの製造方法を、図20～図24を用いて説明する。図20に示すように、第1導電型の半導体基板1に素子分離領域（図示しない）を形成した後、約30nmの第6のシリコン酸化膜18と、約300nmの第2のシリコン酸化膜19を形成する。次に第2のシリコン窒化膜19を第1のチャネル2及び第2のチャネル3となる領域上のみ残してパターンニングし、第2のシリコン窒化膜19をマスクに砒素を注入してソース11及びドレイン10を形成する。

【0006】次に図21に示すように、熱酸化により、ソース11及びドレイン10上に約100nmの第7のシリコン酸化膜20を形成した後、第2のシリコン窒化膜19及び第6のシリコン酸化膜18を除去する。

【0007】次に図22に示すように、トンネル酸化膜となる第1のシリコン酸化膜4及びフローティングゲートとなる第1の導電層6及びONO構造の第1のポリ間絶縁膜7を形成し、第1のポリ間絶縁膜7及び第1の導電層6を同時にパターンニングし、第1のチャネル領域2上のみ残るようにする。次に、第1の導電層6の側面及び前記第2のチャネル3を熱酸化する。

【0008】次に図23に示すように、コントロールゲートとなる第2の導電層9を形成し、第1の導電層6及び第1のポリ間絶縁膜7及び第2の導電層9を同時にエッチングし、コントロールゲート9及びフローティングゲート6を形成する。

【0009】

【発明が解決しようとする課題】しかしながら、上述した従来のスプリットゲート型のフラッシュメモリでは、ONO膜7と第1の導電層6をエッチングした後の、第1の導電層6の側面の酸化の際に、第1の導電層6の上部が窒化膜で覆われている。この状態で酸化すると、図

24（図18のフローティングゲート上部の角を示す拡大図）のように、第1の導電層6の端の角は、シリコン酸化膜が薄くなり、かつ、鋭角に尖る。しかも、この角の近くにONO膜7とシリコン酸化膜8の境界があるため、フローティングゲート6からのリークが増大し、電荷保持やディスタース特性が劣化するという問題がある。

【0010】従来のスプリットゲート型フラッシュメモリでは、上述した問題を解決するために、フローティングゲート6の側面のシリコン酸化膜を厚く形成し、フローティングゲート6の上端の角の部分でも、十分な膜厚になるようにしなければならなかった。

【0011】しかし、フローティングゲート6の側面に形成するシリコン酸化膜を厚くすると、フローティングゲート6からのリークは抑えられるが、同時に形成される選択トランジスタのゲート酸化膜5が厚くなり、オン電流の低下を招いてしまうという問題があった。

【0012】本発明の目的は、高速での読出可能で、良好な電荷保持特性及び良好なディスタース特性を実現した不揮発性半導体記憶装置とその製造方法を提供することにある。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明に係る不揮発性半導体記憶装置は、第1導電型の半導体基板の主表面上に形成された、第2導電型のソース及びドレインと、前記ソース及び前記ドレインの間に形成された第1のチャネル領域及び第2のチャネル領域と、前記第1のチャネル領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲートと、前記フローティングゲート上に形成された第1のポリ間絶縁膜と、前記フローティングゲートの側面の一部に形成された第2のポリ間絶縁膜と、前記第2のチャネル領域上に形成された選択ゲート絶縁膜と、前記第1のポリ間絶縁膜及び前記第2のポリ間絶縁膜及び前記選択ゲート絶縁膜に渡って形成されたコントロールゲートとを有し、前記第1のポリ間絶縁膜は、シリコン酸化膜及びシリコン窒化膜及びシリコン酸化膜の3層構造であり、前記第2のポリ間絶縁膜は、前記第1のポリ間絶縁膜と前記フローティングゲートの角で接しており、前記角における前記第2の絶縁膜の厚さは、前記選択ゲート絶縁膜と同じ、もしくは前記選択ゲート絶縁膜よりも厚くしたものである。

【0014】また前記フローティングゲートへのリンの注入量は、 $3 \times 10^{15} / \text{cm}^2$ 以上である。

【0015】また本発明に係る不揮発性半導体記憶装置は、第1導電型の半導体基板の主表面上に形成された、第2導電型のソース及びドレインと、前記ソース及び前記ドレインの間に形成された第1のチャネル領域及び第2のチャネル領域と、前記第1のチャネル領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成

されたフローティングゲートと、前記フローティングゲートの上面の一部に形成された第1のポリ間絶縁膜と、前記フローティングゲートの上面の一部及び前記フローティングゲートの側面の一部に形成された第2のポリ間絶縁膜と、前記第2のチャンネル領域上に形成された選択ゲート絶縁膜と、前記第1のポリ間絶縁膜及び前記第2のポリ間絶縁膜及び前記選択ゲート絶縁膜に渡って形成されたコントロールゲートとを有し、前記第1のポリ間絶縁膜は、シリコン酸化膜及びシリコン窒化膜及びシリコン酸化膜の3層構造であり、前記第1のポリ間絶縁膜は、前記第2のポリ間絶縁膜と前記フローティングゲートの上面で接したものである。

【0016】また前記フローティングゲートにおける第1の側面及び第2の側面及び第3の側面は、前記第2のポリ間絶縁膜を介してコントロールゲートに覆われており、前記フローティングゲートにおける第4の側面はコントロールゲートに覆われておらず、前記フローティングゲートの上面において、前記フローティングゲートの前記第1の側面及び前記第2の側面及び前記第3の側面に接する端部は、前記第2のポリ間絶縁膜で覆われており、前記第1のポリ間絶縁膜は、前記第2のポリ間絶縁膜と前記フローティングゲートの上面で接するものである。

【0017】また本発明に係る不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第1の導電層を形成する工程と、前記第1の導電層上に $3 \times 10^{15} / \text{cm}^2$ 以上のリンを注入する工程と、前記第1の導電層上に第1のポリ間絶縁膜を形成する工程と、前記第1のポリ間絶縁膜及び前記第1の導電層をパターンニングする工程と、前記第1の導電層の側面に第2のポリ間絶縁膜を形成する工程と、第2のチャンネル領域上に選択ゲート絶縁膜を形成する工程と、前記選択ゲート絶縁膜及び前記第1のポリ間絶縁膜上に、コントロールゲートとなる第2の導電層を形成する工程と、前記第2の導電層及び前記第1のポリ間絶縁膜及び前記第1の導電層をパターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有するものである。

【0018】また本発明に係る不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第1の導電層を形成する工程と、前記第1の導電層上に、第3のシリコン酸化膜及び第1のシリコン窒化膜及び第3の導電層を順に形成する工程と、前記第3のシリコン酸化膜及び、前記第1のシリコン窒化膜及び、前記第3の導電層をパターンニングする工程と、前記第3のシリコン酸化膜の側面及び、前記第1のシリコン窒化膜の側面及び、前記第3の導電層の側面に、第4のシリコン酸化膜からなる側壁を

形成する工程と、前記側壁をマスクにして前記第1の導電層及び前記第3の導電層をエッチングする工程と、前記側壁を除去する工程と、第2のチャンネル領域上に選択ゲート絶縁膜を形成する工程と、前記第1の導電層の側面及び前記第1の導電層の上面の一部に第2のポリ間絶縁膜を形成する工程と、前記第1の導電層上に第1のポリ間絶縁膜を形成する工程と、前記第3のシリコン酸化膜上にコントロールゲートとなる第2の導電層を形成する工程と、前記第2の導電層及び前記第1のポリ間絶縁膜及び前記第1の導電層をパターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有するものである。

【0019】また本発明に係る不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第1の導電層を形成する工程と、前記第1の導電層上に第1のポリ間絶縁膜を形成する工程と、前記第1のポリ間絶縁膜上にレジストを塗布する工程と、前記レジストをパターンニングする工程と、前記レジストをマスクに前記第1の導電層及び前記第1のポリ間絶縁膜をパターンニングする工程と、前記レジストをアッシングして細らせる工程と、前記レジストをマスクに前記第1のポリ間絶縁膜及び前記トンネル絶縁膜をエッチングする工程と、前記レジストを剥離する工程と、第2のチャンネル上に選択ゲート絶縁膜及び、前記第1の導電層の上面の一部及び前記第1の導電層の側面に第2のポリ間絶縁膜を形成する工程と、前記第3のシリコン酸化膜及び前記第1のポリ間絶縁膜上に、コントロールゲートとなる第2の導電層を形成する工程と、前記第2の導電層及び前記第1のポリ間絶縁膜及び前記第1の導電層をパターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有するものである。

【0020】また本発明に係る不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にフローティングゲートとなる第1の導電層を形成する工程と、前記第1の導電層上に第3のシリコン酸化膜及び第1のシリコン窒化膜及び第5のシリコン酸化膜及び第3の導電層を順に形成する工程と、前記第3のシリコン酸化膜及び前記第1のシリコン窒化膜及び前記第5のシリコン酸化膜及び前記第3の導電層をパターンニングする工程と、前記第3のシリコン酸化膜の側面及び前記第1のシリコン窒化膜の側面及び前記第5のシリコン酸化膜の側面及び前記第3の導電層の側面に、第4のシリコン酸化膜からなる側壁を形成する工程と、前記側壁をマスクにして前記第1の導電層及び前記第3の導電層をエッチングする工程と、前記側壁及び前記第5のシリコン酸化膜を除去する工程と、第2のチャンネル領域上に選択ゲート絶縁膜を形成する工程と、前記第1の導電層の側

面及び前記第1の導電層の上面の一部に第2のポリ間絶縁膜を形成する工程と、前記第1の導電層上に第1のポリ間絶縁膜を形成する工程と、前記第3のシリコン酸化膜上にコントロールゲートとなる第2の導電層を形成する工程と、前記第2の導電層及び前記第1のポリ間絶縁膜及び前記第1の導電層をパターンニングして、前記フローティングゲート及び前記コントロールゲートを形成する工程とを有するものである。

【0021】本発明に係る不揮発性半導体記憶装置は、フローティングゲートの上端の角の酸化が厚く形成され 10 ていながら、選択トランジスタのゲート酸化膜は薄くなっているため、フローティングゲートからのリークを抑えながら、大きなオン電流を得られ、良好な保持特性と高速読出を兼ね備えたフラッシュメモリを得ることができる。

【0022】また本発明に係る不揮発性半導体記憶装置は、選択トランジスタのゲート酸化膜は薄い状態で、フローティングゲートの上端の角の酸化膜を厚く形成され、さらにリークの生じやすいONO膜と酸化膜の境界をフローティングゲートの上端の角から離れて形成され 20 ているため、フローティングゲートからのリークを抑えながら、大きなオン電流を得られ、良好な保持特性と高速読出を兼ね備えたフラッシュメモリを得ることができる。

【0023】さらに本発明に係る不揮発性半導体記憶装置の製造方法によれば、フローティングゲートへのリンの注入量を多く（ $3E15/cm^2$ 以上）することにより、フローティングゲートの側面及び選択トランジスタのゲートを酸化する際に、増速酸化によってフローティングゲートの側面が速く酸化され、選択トランジスタの 30 ゲート酸化膜を薄くしても、リークを抑えるだけの酸化膜をフローティングゲートの上端の角につけることができる。

【0024】また本発明に係る不揮発性半導体記憶装置の製造方法によれば、フローティングゲートの側面及び選択トランジスタのゲートを酸化する際に、フローティングゲートの上端の角の酸化を阻害しないように、フローティングゲート上面のONO膜を、フローティングゲートの端から離して形成することができ、同時にリークを生じやすいONO膜との境界をフローティングゲートの角から遠く形成できる。 40

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0026】（実施形態1）図1は、本発明の実施形態1を示す断面図である。

【0027】図1において、1は半導体基板、2はフラッシュメモリセル部チャンネル、3は選択トランジスタ部チャンネル、4はトンネル絶縁膜、5は選択ゲート絶縁膜、6はフローティングゲート、7は第1のポリ間絶縁 50

膜、8は第2のポリ間絶縁膜、9はコントロールゲート、10はドレイン、11はソースである。

【0028】本発明の実施形態1では、選択トランジスタのゲート酸化膜5を過度に厚くせずに（例えば約300Å）、フローティングゲート6の側面上部の角のシリコン酸化膜8を厚く形成している（例えば約400Å）。このため、高いオン電流を保ちながら、フローティングゲート6からの電子のリークを抑えることができる。すなわち、高速での読出しと、良好な保持特性及び良好なディスタート特性を同時に備えたフラッシュメモリを得ることができる。

【0029】本発明の実施形態1に係る製造方法を図2～図5を用いて説明する。図2に示すように、半導体基板1の主表面上に素子分離絶縁膜を形成した後、トンネル酸化膜となる第1のシリコン酸化膜4及び、フローティングゲートとなる第1の導電層6を形成する。次に、第1の導電層6にリンイオンを $3E15/cm^2$ 以上注入した後、第1の導電層6上に第1のポリ間絶縁膜7を形成する。

【0030】次に、図3に示すように、第1のポリ間絶縁膜7及び第1の導電層6をパターンニングする。このとき、第1の導電層6が、後にチャンネルとなる領域2を覆い、かつ後に第2のチャンネルとなる領域3を覆わないようにする。

【0031】次に図4に示すように、第2のチャンネル領域3上に形成された第1のシリコン酸化膜4を除去した後、第2のシリコン酸化膜5を形成する。このとき、第1の導電層6の側面に、第2のポリ間絶縁膜8が形成され、選択トランジスタのチャンネルとなる第2のチャンネル領域3上に、選択ゲート酸化膜5が形成される。この選択ゲート酸化膜5の厚さは、300Å程度が望ましい。次にコントロールゲートとなる第2の導電層9を形成する。次に、第2の導電層9及び前記第1のポリ間絶縁膜7及び前記第1の導電層6をパターンニングして、コントロールゲート9とフローティングゲート6を形成する。

【0032】次に図5に示すように、コントロールゲート9をマスクに砒素イオンを注入し、ソース11及びドレイン10を形成する。

【0033】（実施形態2）図6は、本発明の実施形態2を示す断面図である。図6に示す本発明の実施形態2では、フローティングゲート6上に形成されたONO膜（第1のポリ間絶縁膜）7が、フローティングゲート6の端よりも内側になるように形成されている。フローティングゲート6の上部の角からONO膜7の端に掛けて、フローティングゲート6の側面酸化膜（第2のポリ間絶縁膜）8によって覆われている。

【0034】このため、フローティングゲート6の上部の角の酸化の際に、従来のスプリットゲート型フラッシュメモリでは生じていたONO膜中の窒化膜による酸化の阻害がなくなり、従来のスプリットゲート型フラッ

メモリに比べて厚い酸化膜が形成されている。例えば、選択トランジスタのゲート酸化膜 3 が約 300 Å である場合に、フローティングゲート 6 の角に形成されたシリコン酸化膜厚が約 400 Å となる。

【0035】さらに、リークの生じやすい ONO 膜 7 と側面酸化膜 8 の境界面が、電界の集中しやすいフローティングゲート 6 の角から離れているため、従来のスプリットゲート型フラッシュメモリよりも、フローティングゲートからの電子のリークが少ない。

【0036】本発明の実施形態 2 に係る不揮発性半導体記憶装置の製造方法を図 7～図 12 を用いて説明する。図 7 に示すように、半導体基板 1 の主表面上に素子分離絶縁膜を形成した後、トンネル酸化膜となる第 1 のシリコン酸化膜 4 及びフローティングゲートとなる第 1 の導電層 6 を形成する。次に、第 1 の導電層 6 にリンイオンを注入した後、第 3 のシリコン酸化膜 12 及び第 1 のシリコン窒化膜 13 及び第 3 の導電層 14 を形成する。このとき、第 1 のシリコン窒化膜 13 と第 3 の導電層 14 の間に、酸化膜を挟んでも良い。

【0037】次に図 8 に示すように、第 3 の導電層 14 及び第 1 のシリコン窒化膜 13 及び第 3 のシリコン酸化膜 12 をバターンニングする。次に、第 4 のシリコン酸化膜 15 を形成し、異方性エッチングにより第 3 の導電層 14 及び第 1 のシリコン窒化膜 13 及び第 3 のシリコン酸化膜 12 の側面に第 4 のシリコン酸化膜からなる第 1 の側壁 15 を形成する。

【0038】次に図 9 に示すように、第 1 の側壁 15 をマスクに第 1 の導電層 6 及び第 3 の導電層 14 をエッチングする。このとき、第 1 の導電層 6 の一方の端が、後に第 1 のチャンネルとなる領域 2 を覆うようにバターンニングする。

【0039】次に図 10 に示すように、第 1 の側壁 15 を除去した後、第 2 のシリコン酸化膜 17 からなる選択ゲート酸化膜 3 及び第 2 のポリ間絶縁膜を形成する。同時に、フローティングゲート 6 の上部には、第 3 のシリコン酸化膜及び第 1 のシリコン窒化膜及び第 2 のシリコン酸化膜 17 からなる第 1 のポリ間絶縁膜 7 が形成される。このとき、第 2 のシリコン酸化 17 膜の形成方法は、熱酸化でも CVD でもよいし、その 2 つの組み合わせでも良い。

【0040】次に図 11 に示すように、コントロールゲートとなる第 2 の導電層 9 を形成し、第 2 の導電層 9 及び第 1 のポリ間絶縁膜 7 及び第 2 のポリ間絶縁膜 8 及び第 1 の導電層 6 を同時にバターンニングし、コントロールゲート 9 とフローティングゲート 6 を形成する。

【0041】次に図 12 に示すように、コントロールゲート 9 をマスクに、砒素イオンを注入し、ソース 11 及びドレイン 10 を形成する。

【0042】本発明の実施形態 2 に係る別の製造方法を図 13～図 17 を用いて説明する。図 13 に示すよう

に、半導体基板 1 の主表面上に素子分離絶縁膜を形成した後、トンネル酸化膜となる第 1 のシリコン酸化膜 4 及びフローティングゲートとなる第 1 の導電層 6 を形成する。次に、第 1 の導電層 6 にリンイオンを注入した後、第 1 のポリ間絶縁膜 7 を形成する。第 1 のポリ間絶縁膜 7 はシリコン酸化膜及びシリコン窒化膜及びシリコン酸化膜の ONO 構造になっている。

【0043】次に図 14 に示すように、第 1 のポリ間絶縁膜 7 及び第 1 の導電層 6 をバターンニングする。このとき、第 1 の導電層 6 の一方の端が、後に第 1 のチャンネルとなる領域 2 上を覆うようにバターンニングする。次に、第 1 のポリ間絶縁膜 7 及び第 1 の導電層 6 をバターンニングする際に用いたレジスト 19 を、プラズマアッシングによって例えば 300 Å 程度細らせる。

【0044】次に図 15 に示すように、レジスト 16 をマスクに、異方性エッチングを行い、第 1 のポリ間絶縁膜 7 をバターンニングする。次に、レジスト 16 を除去した後、第 2 のシリコン酸化膜 17 を形成する。このとき、第 1 の導電層 6 の側面及び上面の端部に、第 1 のポリ間絶縁膜 7 に接して、第 2 のポリ間絶縁膜 8 が形成され、選択トランジスタのチャンネルとなる第 2 のチャンネル領域に 3、選択ゲート酸化膜 5 が形成される。第 2 のシリコン酸化膜 17 の形成方法は、熱酸化でも CVD でもよいし、その 2 つの組み合わせでも良い。

【0045】次に図 16 に示すように、コントロールゲートとなる第 2 の導電層 9 を形成し、第 2 の導電層 9 及び第 1 のポリ間絶縁膜 7 及び第 2 のポリ間絶縁膜 8 及び第 1 の導電層 6 を同時にバターンニングし、コントロールゲート 9 とフローティングゲート 6 を形成する。

【0046】次に図 17 に示すように、コントロールゲート 9 をマスクに、砒素イオンを注入し、ソース 11 及びドレイン 10 を形成する。

【0047】

【発明の効果】以上説明したように本発明によれば、高速での読み出しと良好な保持特性を兼ね備えた不揮発性半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 を示す断面図である。

【図 2】本発明の実施形態 1 に係る製造方法を工程順に示す断面図である。

【図 3】本発明の実施形態 1 に係る製造方法を工程順に示す断面図である。

【図 4】本発明の実施形態 1 に係る製造方法を工程順に示す断面図である。

【図 5】本発明の実施形態 1 に係る製造方法を工程順に示す断面図である。

【図 6】本発明の実施形態 2 を示す断面図である。

【図 7】本発明の実施形態 2 に係る製造方法を工程順に示す断面図である。

【図 8】本発明の実施形態 2 に係る製造方法を工程順に

10

20

30

40

50



示す断面図である。

【図 9】本発明の実施形態 2 に係る製造方法を工程順に示す断面図である。

【図 10】本発明の実施形態 2 に係る製造方法を工程順に示す断面図である。

【図 11】本発明の実施形態 2 に係る製造方法を工程順に示す断面図である。

【図 12】本発明の実施形態 2 に係る製造方法を工程順に示す断面図である。

【図 13】本発明の実施形態 2 に係る別の製造方法を工程順に示す断面図である。

【図 14】本発明の実施形態 2 に係る別の製造方法を工程順に示す断面図である。

【図 15】本発明の実施形態 2 に係る別の製造方法を工程順に示す断面図である。

【図 16】本発明の実施形態 2 に係る別の製造方法を工程順に示す断面図である。

【図 17】本発明の実施形態 2 に係る別の製造方法を工程順に示す断面図である。

【図 18】従来のスプリットゲート型フラッシュメモリを示す断面図である。

【図 19】従来のスタック型フラッシュメモリを示す断面図である。

【図 20】従来のスプリットゲート型フラッシュメモリの製造方法を工程順に示す断面図である。

【図 21】従来のスプリットゲート型フラッシュメモリの製造方法を工程順に示す断面図である。

\*

\*【図 22】従来のスプリットゲート型フラッシュメモリの製造方法を工程順に示す断面図である。

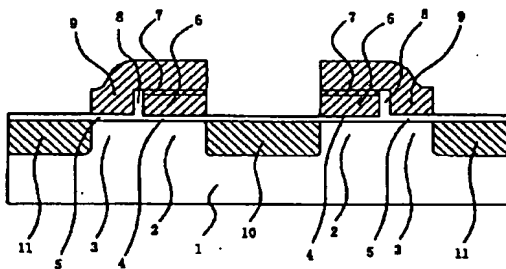
【図 23】従来のスプリットゲート型フラッシュメモリの製造方法を工程順に示す断面図である。

【図 24】従来のスプリットゲート型フラッシュメモリの製造方法を工程順に示す断面図である。

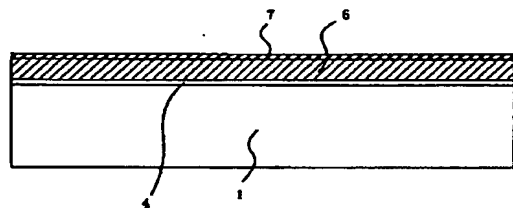
【符号の説明】

- 1 半導体基板
- 2 フラッシュメモリセル部チャネル
- 3 選択トランジスタ部チャネル
- 4 トンネル絶縁膜（第 1 のシリコン酸化膜）
- 5 選択ゲート絶縁膜（第 2 のシリコン酸化膜）
- 6 フローティングゲート
- 7 第 1 のポリ間絶縁膜（ONO 膜）
- 8 第 2 のポリ間絶縁膜（第 2 のシリコン酸化膜）
- 9 コントロールゲート（第 2 の導電層）
- 10 ドレイン
- 11 ソース
- 12 第 3 のシリコン酸化膜
- 13 第 1 のシリコン窒化膜
- 14 第 3 の導電層
- 15 第 1 の側壁（第 4 のシリコン酸化膜）
- 16 レジスト
- 17 第 2 のシリコン酸化膜
- 18 第 6 のシリコン酸化膜
- 19 第 2 のシリコン窒化膜
- 20 第 7 のシリコン酸化膜

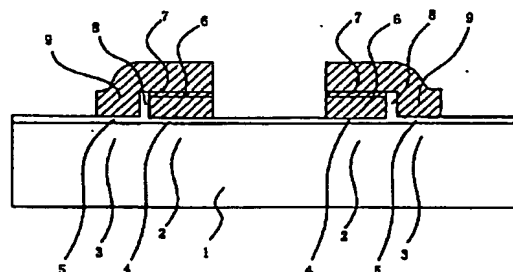
【図 1】



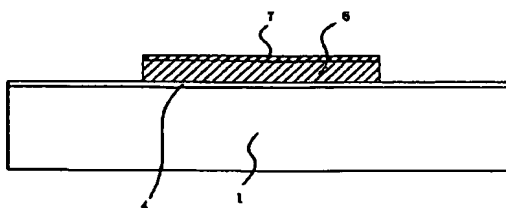
【図 2】



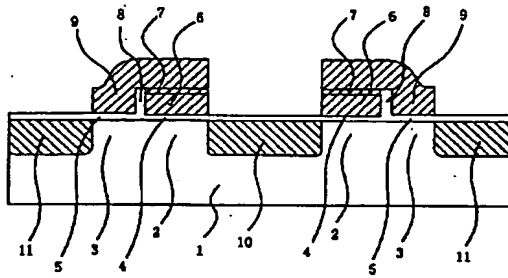
【図 4】



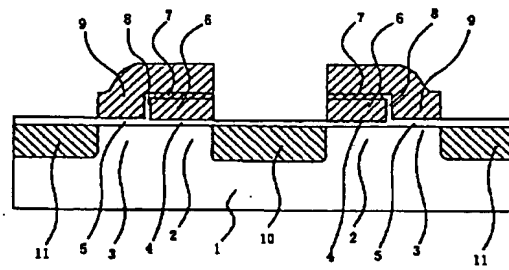
【図 3】



【図5】

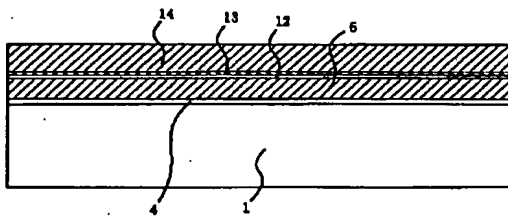


【図6】

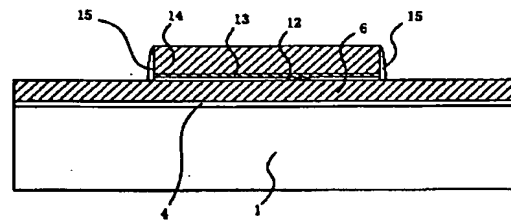


- |                   |              |
|-------------------|--------------|
| 1 半導体基板           | 7 第1のポリシリコン層 |
| 2 フラッシュメモリセル部チャネル | 8 第2のポリシリコン層 |
| 3 選択トランジスタ部チャネル   | 9 コントロールゲート  |
| 4 トンネル絶縁膜         | 10 ドレイン      |
| 5 選択ゲート絶縁膜        | 11 ソース       |
| 6 フローティングゲート      |              |

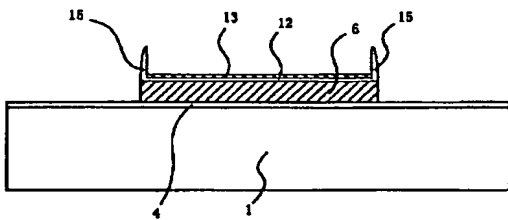
【図7】



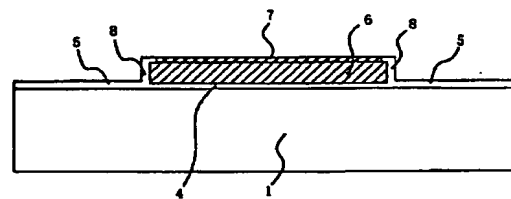
【図8】



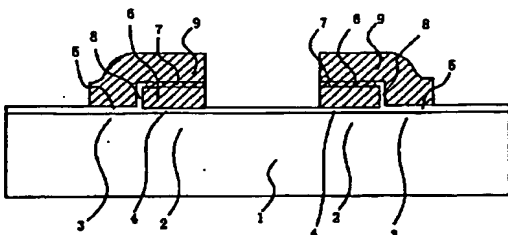
【図9】



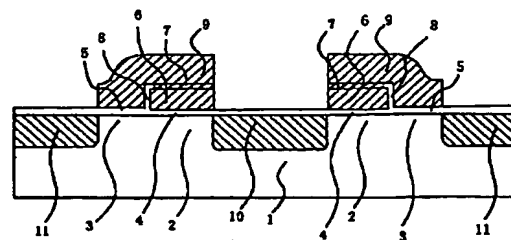
【図10】



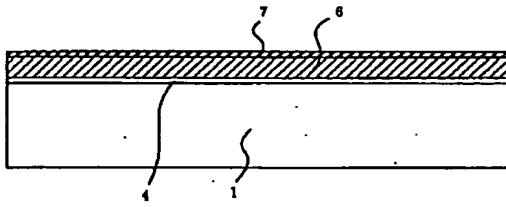
【図11】



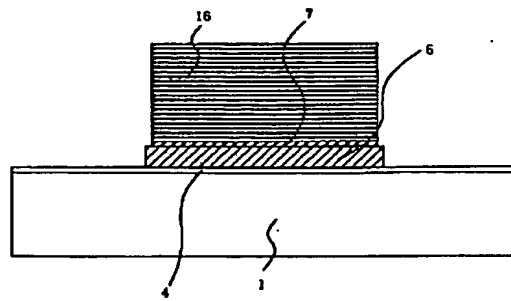
【図12】



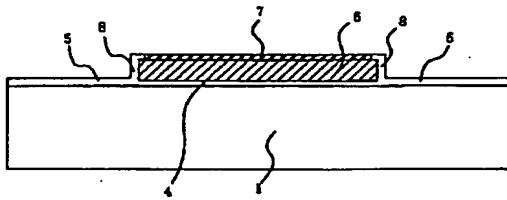
【図13】



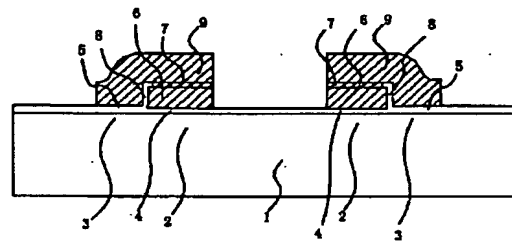
【図14】



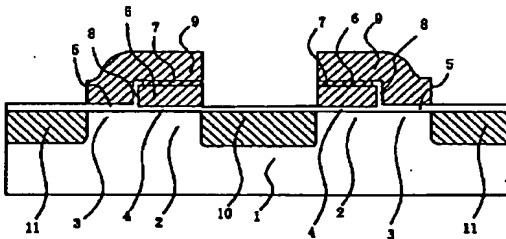
【図15】



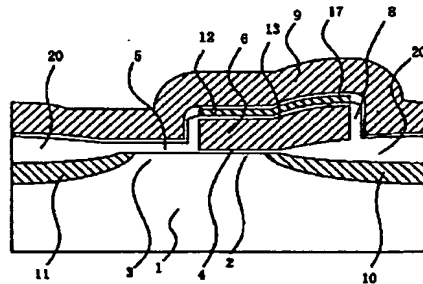
【図16】



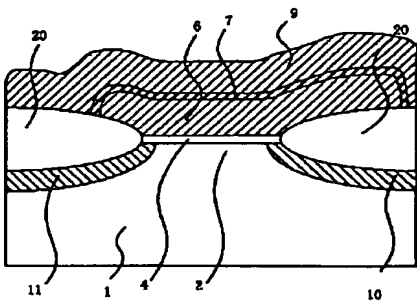
【図17】



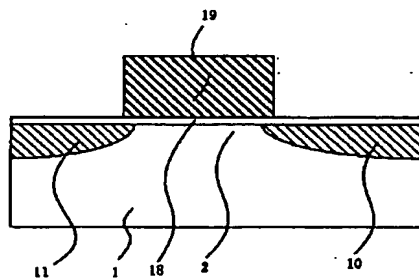
【図18】



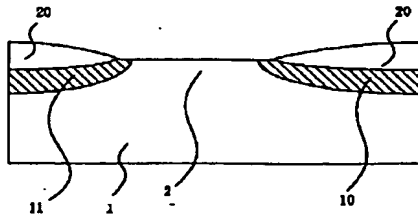
【図19】



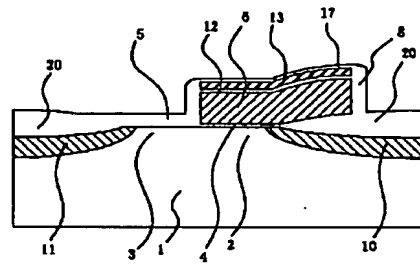
【図20】



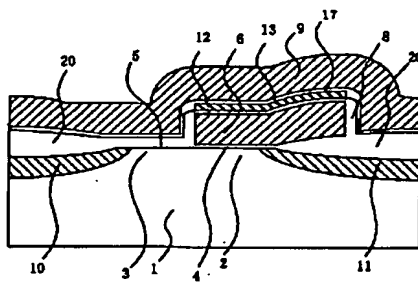
【図 2 1】



【図 2 2】



【図 2 3】



【図 2 4】

